



RECEIVED

NOV 23 2004

Technology Center 2600

Attorney Docket No.:NEKO 17.961 (100806-17328)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor: Fumio Nakano
Hitoshi Fujita

Serial No.: 09/709,203

Filed: November 9, 2000

Title: CLOCK RIDE-OVER METHOD AND CIRCUIT

Examiner: Dung X. Nguyen

Group Art Unit: 2631

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

DECLARATION

S I R :

I, Roh Ishikawa, Senior Manager, Planning Department, Corporate Strategic Planning & Business Development Div. of NEC Engineering Ltd., of 18-21, Shibaura 3-chome, Minato-ku, Tokyo, Japan , the undersigned, hereby declare as follows:

1. On September 30, 1999, an inventor of the invention for which the Japanese Patent Application No. 11-321355 was filed, Hitoshi Fujita, an employee of NEC Engineering Ltd., reported the invention by a Report-Assignment-Opinion of Employment Invention form, a copy of which is attached hereto as Exhibit "A", accompanied by a Draft Specification and Drawings,

a copy of which is attached hereto as Exhibit "B", and thereafter the captioned U.S. Patent Application was filed claiming the priority of said Japanese Patent Application.

2. At the time the invention was made, NEC Engineering Ltd. was obligated to assign its interest in filing the U.S. Patent Application for said invention to NEC Corporation.

I further declare that all statements made herein of my own knowledge are true and all statements made on information and belief are believed to be true; and further, these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment or both, under Section 1001 of Title 18 of the United States Code, and that such willful false statements may jeopardize the validity of the above-captioned application or any patent issuing thereon.

DATE: Oct. 29, 2004

Roh Ishikawa

NAME: Roh Ishikawa

TITLE: Senior Manager, Planning Department,
Corporate Strategic Planning & Business
Development Div., NEC Engineering Ltd.

(Page 1) Translation

Exhibit A

"Gyomuhatsumeï Todokede Jouto Iken-sho"

Report Assignment Opinion of Employment Invention

(Joint Application of NEC and Divided Company)

[Columns to be filed by the Inventor]

1999 year/09 moth/30 day

Provisional No.	10028617	Title of Invention: Clock Ride-Over Circuit
Docket No.	711-10392	

Inventors						
	Confirmation	Company Code Employ's Code	Name	Tel.	E-mail address	Company name
1	not needed	00000474880	NAKANO FUMIO	-	-	NEC Corporation
2	confirmed	00070821423	FUJITA HITOSHI	-	-	NEC Engineering Ltd.

Type of Report	Report by the entire Specification	
Applicant	Number of Applicants: 2	
	Applicant other than NEC 1. NEC Engineering LTD.	
Foreign Application	Desired	Country: USA
Internal Priority	Not desired	
Plan for publication/shipment	Publication	none
	Shipment	planed date 1999(year) 11(month) 30 (day)
Related Invention	--	

Assignment

The right to obtain a patent or utility model relating to said invention is assigned to NEC Engineering Ltd.
Ltd. under the Employees Working Rules of NEC Engineering Ltd.

(Page 2)

[Columns to be filed by Director in charge]

1999 year/09 month /30 day

Belonging of the right: The act resulting in the invention belongs to the present or past work under employment.

--abridged--

(page 3)

Foreign Application: To be field

Country: USA

Director in charge: --

--abridged--

共同出願分社用 業務発明届出・譲渡・意見書

(NECと分社との共同出願)

【発明者記入欄】

1999年09月30日

仮番号	10028617	発明の名称 クロック乗換回路
整理番号	711-10392	

発 明 者						
	確認	会社コード 社員番号	氏名 ローマ字(外国出願に用 いるため)	電話 地区 一 番号 外線ダイヤ ルイン	Eメールアドレス 外線FAX番号	会社名 所属部門名
1	不要	0000 047488 0	中野 文雄 NAKANO FUMIO	22-25321 044-435-16 13	fnakano@lsi.nec.c o.jp 044-435-1613	日本電気株式会社 C&CLS開発本部第一回路技 術部
2	済	0007 082142 3	藤田 仁 FUJITA HITOSHI	332-2410 044-430-20 12	hfujita@nec.tmg. nec.co.jp 044-411-1862	日本電気エンジニアリング株式 会社 メディアネットワーク事業第一デ バイス開発部

届出の形態	<input type="radio"/> 発明説明書(実施の形態・図面等)による届出 <input checked="" type="radio"/> 明細書全文による届出 <input type="radio"/> コンカレント	
出願人	出願人の数 2社 NEC以外の出願人 分社名は以下に入力 1. 日本電気エンジニアリング株式会社	
外国出願	<input checked="" type="radio"/> 希望する <input type="radio"/> 希望しない	出願希望国 アメリカ
国内優先権主張	<input type="radio"/> 自発的 <input type="radio"/> 知的財産部の要請 <input checked="" type="radio"/> 希望しない	先の発明の出願番号 先の発明の出願日 年 月 日(西暦8桁で記入のこと) 先の発明の整理番号 知的財産部要請日 年 月 日(西暦8桁で記入のこと)
社外発表出荷予定	<input type="radio"/> 製品発表 <input type="radio"/> 論文発表 <input type="radio"/> 新聞発表 <input type="radio"/> その他 <input checked="" type="radio"/> 社外発表なし	製品名 uPD72880 学術名 発表予定日 年 月 日(西暦8桁で記入のこと)
	<input checked="" type="checkbox"/> 製品出荷	製品出荷先 Pコム(事) 出荷予定日 1999年11月30日(西暦8桁で記入のこと)
関連発明 (あれば入力)	出願番号 出願日 年 月 日(西暦8桁で記入のこと) 整理番号 外国出願してあればその国名	

譲 渡

上記の発明について、日本電気エンジニアリング株式会社従業員就業規則にもとづいて、特許または実用新案登録を受ける権利を日本電気エンジニアリング株式会社に譲渡いたします。

【所属部長意見記入欄】

1999年09月30日

権利の帰属	発明をするに至った行為が現在または過去の職務に ○属しない ●属する
関連するプロジェクト	プロジェクトの名称 IEEE1394long ○重要開発プロジェクト ●左記以外のプロジェクト ○該当なし
特定得意先との関係	□防衛庁 □NTT □通産省 □JR □NP(National Project)
発 明 の 評 価	
<p>1. 登録の可能性 ○80%以上 ●60~80% ○30~60% ○30%以下 ○可能性なし</p> <p>2. アイデアの性質(複数選択可) □技術コンセプトが新しい □このアイデアの実現が望まれる □今後重要になる技術の先取り □新規機能を提供する ■優れた代替手段を提供する</p> <p>3. 基本/改良 ○全くの基本発明 ○どちらかといえば基本発明 ●本格的改良発明 ○部分的改良発明</p> <p>4. 技術的効果 ○きわめて大 ●大 ○普通 ○小</p> <p>5. 実施見込み(社外を含む) ●実施決定 ○試作中 ○試作中(出荷予定なし) ○5年以内に実施の可能性あり ○不明 1999年11月30日出荷予定(西暦8桁で記入すること)</p> <p>6. 汎用性(他の技術領域に应用できる可能性) ●高い ○普通 ○低い</p> <p>7. 技術の寿命 ○長い ●中程度 ○3年以下</p> <p>8. 回避の可能性 ○不可能 ●かなり困難 ○可能性あり ○容易</p> <p>9. 侵害の確認 ○容易 ●かなり困難 ○きわめて困難</p>	
総合評価	○A ●B1 ○B2

外国 出願	●する ○しない		
出願 国	A項の国の□部分をクリックし、選定理由としてB項の該当する数字を()内に入力する。なお、4および5項の競争会社名も同じ()内に入力		
	A 国名	B 理由	
	■アメリカ	US(1)	1. この発明を実施した製品を輸出する見込みがある。
	□韓国	KR()	2. この発明を実施した製品を現地生産する見込みがある。
	□中国	CN()	3. この発明に関する技術を技術輸出する見込みがある。
	□台湾	TW()	4. この発明に関係する機種につき当社がライセンスを受けている
	□イギリス	GB()	相手方が企業活動をしている(会社名をA項の()内に記入)
	□ドイツ	DE()	5. この発明を実施した製品の分野で競争関係にある会社がある
	□フランス	FR()	。(会社名をA項の()内に記入)
	□イタリア	IT()	6. その他上記以外の理由があれば()に記入)
	□スウェーデン	SE()	
	□オランダ	NL()	
	□カナダ	CA()	
	□オーストラリア	AU()	
	□シンガポール	SG()	
	□マレーシア	MY()	
	□タイ	TH()	
	□フィリピン	PH()	
	□インドネシア	ID()	
所属 部長	所属部長 社員番号 氏 名:		

【選別責任者】

1999年10月05日

選別責任者	選別責任者(不在のときは発明者の所属部長) 社員番号	氏 名:
-------	----------------------------	------

【備考欄】

備 考	知的財産部への要望 至急の出願処理御願います。
-----	----------------------------

Translation (abridged)

[Name of Document] Specification

[Title of Invention] Clock Ride-Over Circuit

[Claims]

[Claim 1] --abridged--

[Claim 2] --abridged--

[Detailed Description of Invention]

[Technical Field] --abridged--

[Related Art] --abridged--

[Problems to be Solved by the Invention] --abridged--

[Objection of the Invention] --abridged--

[Means to Solve the Problems] --abridged--

[Function] --abridged--

[Explanation of the Invention] --abridged--

... Fig. 1 shows a principle of the present invention, Fig. 2 is an example of the present invention. Figs. 3-5 are time charts for Fig. 2.

First, referring to Fig. 1, ... --abridged--

[Explanation of Operation]

An example is explained with reference to Figs. 2-5.

--abridged--

[Other Embodiments of the Invention] --abridged--

[Effect of the Invention] --abridged--

[Brief Description of Drawings]

Fig. 1 is a structural drawing showing a principle of the present invention.

Fig. 2 is a first embodiment.

Fig. 3 is a timing chart of Fig. 2

~~Fig. 4 is a timing chart of Fig. 2~~

Fig. 5 is a timing chart of Fig. 2.

Fig. 6 is a second embodiment of the present invention.

Fig. 7 is an example of a clock ride-over of a conventional art.

Fig. 8 is a timing chart of Fig. 7.

Fig. 9 is an example of FIFO or a conventional art.

Fig. 10 is a timing chart of Fig. 9.

[Explanation of symbols]

1: input data

--abridged--

48: EMPTY Detection Unit

[Name of Document] Abstract

--abridged--

[Selected Drawing] Fig. 1

[Fig. 1] to [Fig. 10] (Refer to drawings.)

FIG. 1

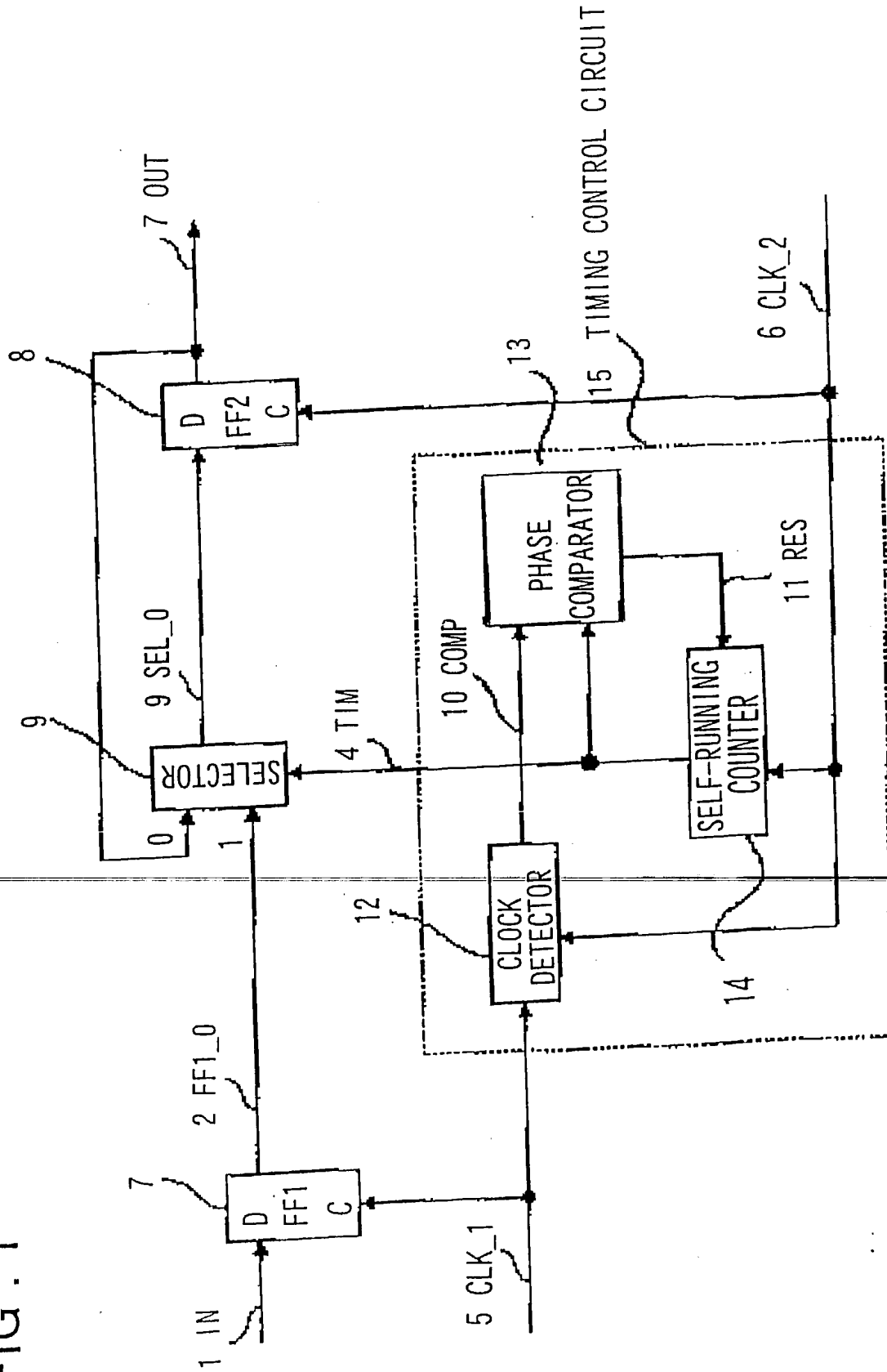


FIG. 2

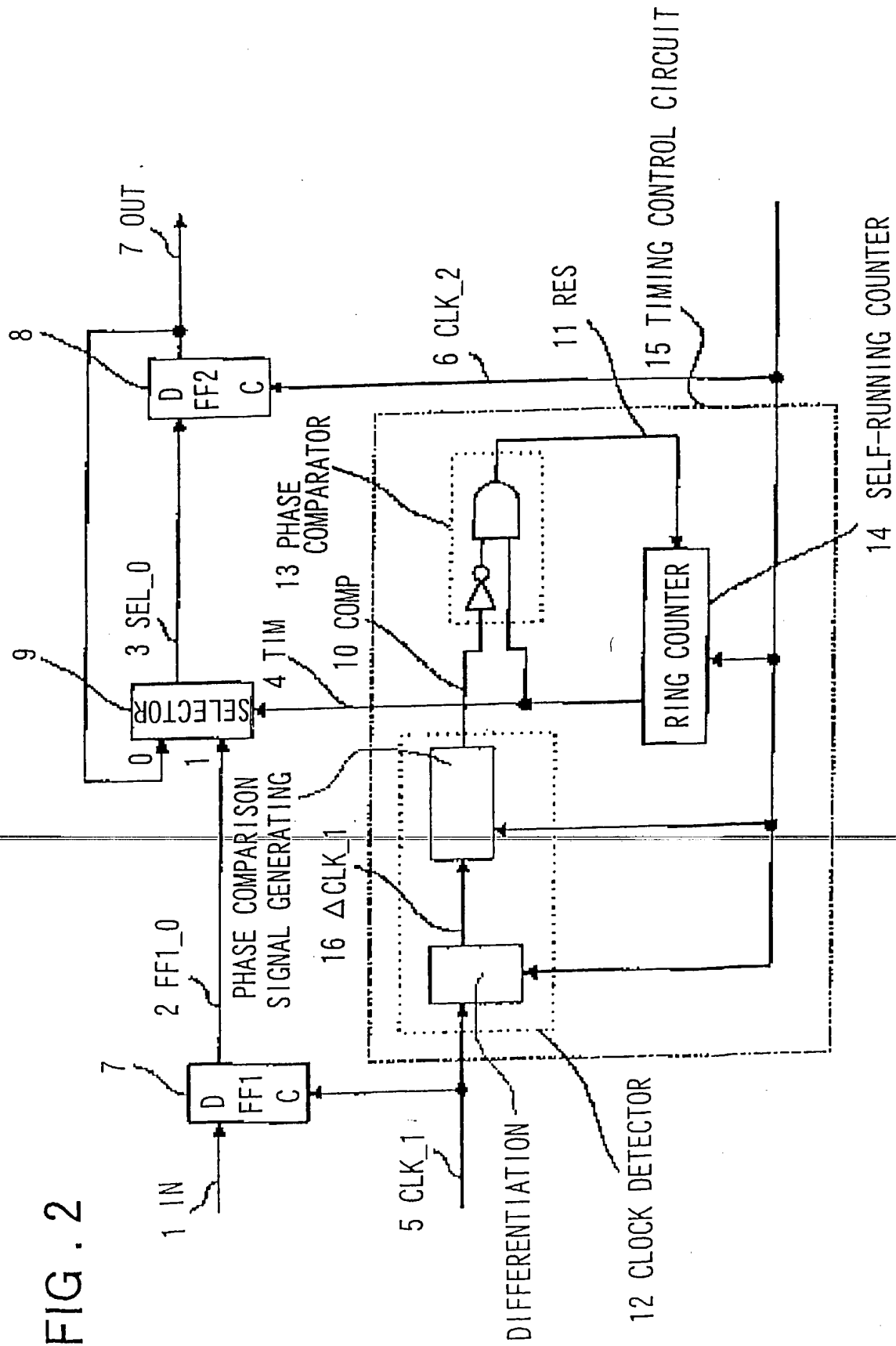


FIG. 4

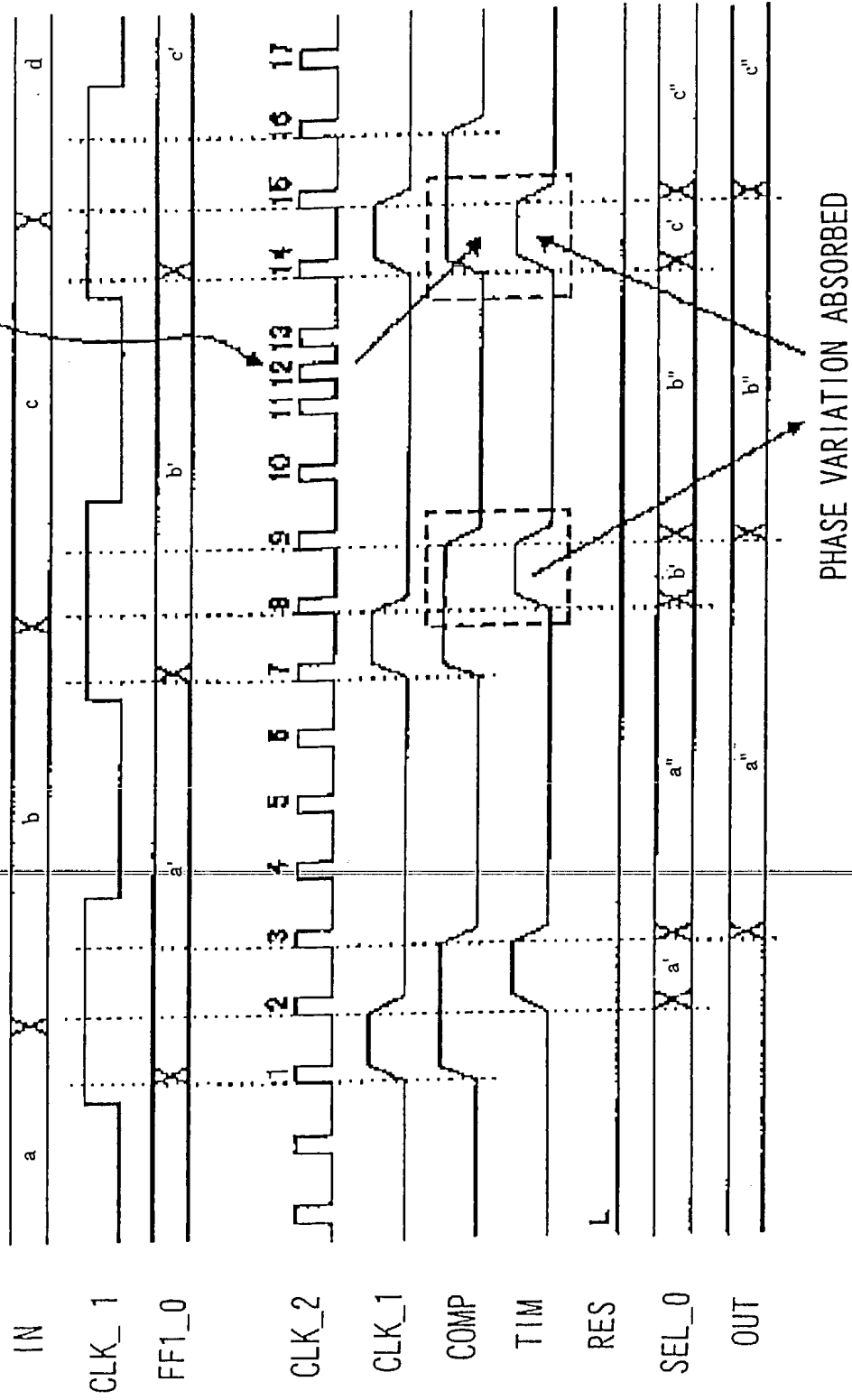


FIG. 5

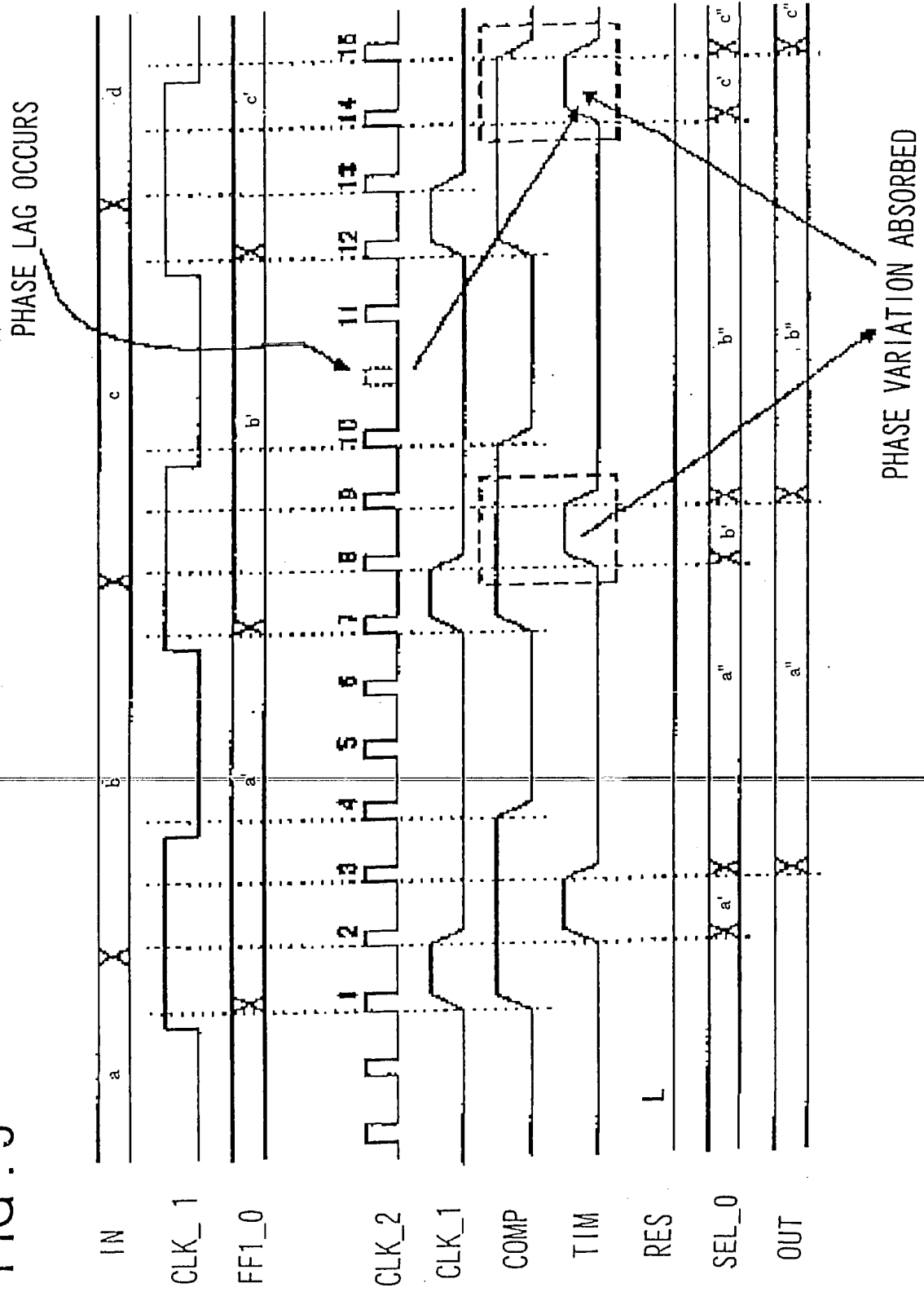


FIG. 6

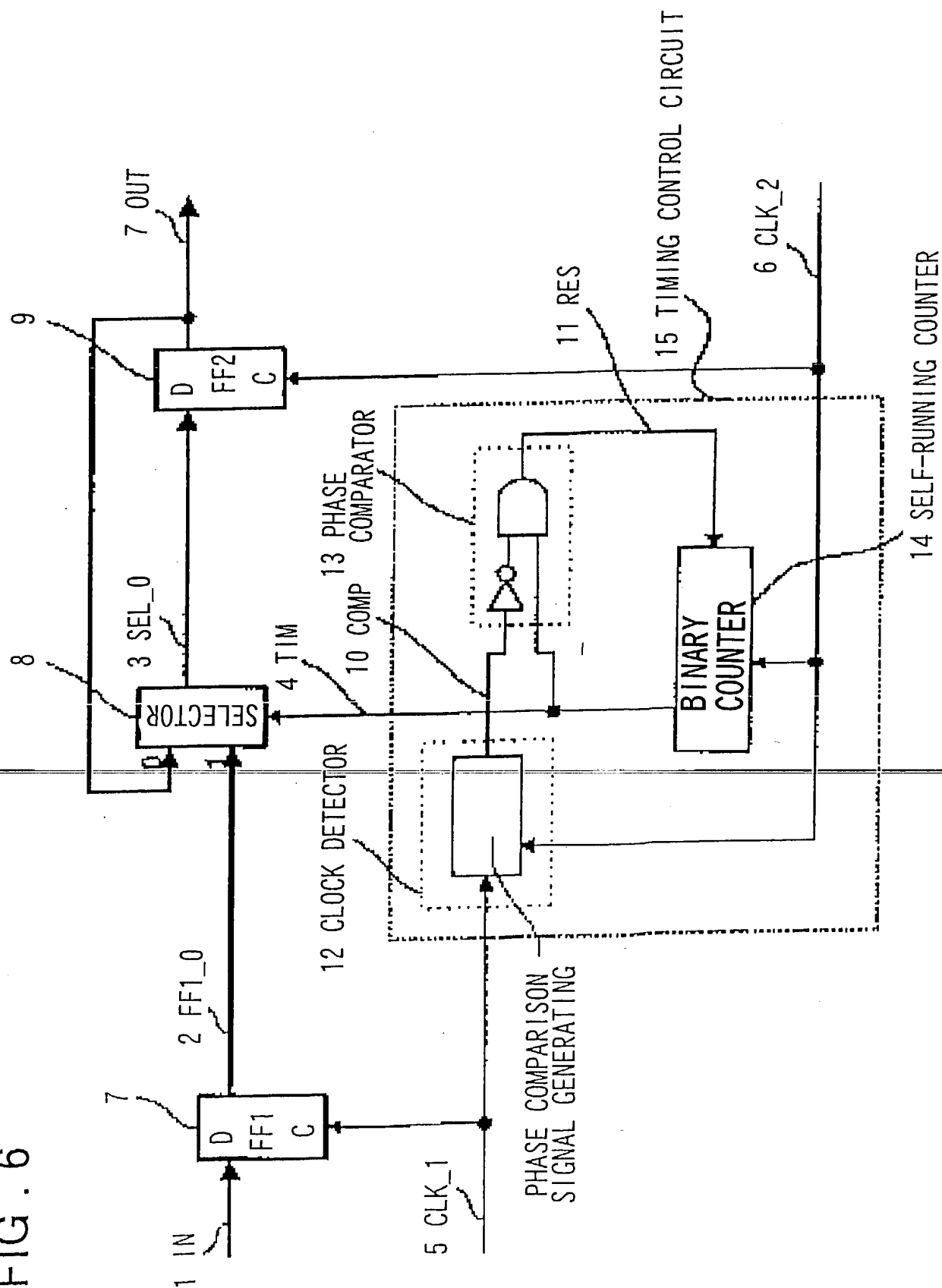


FIG. 7

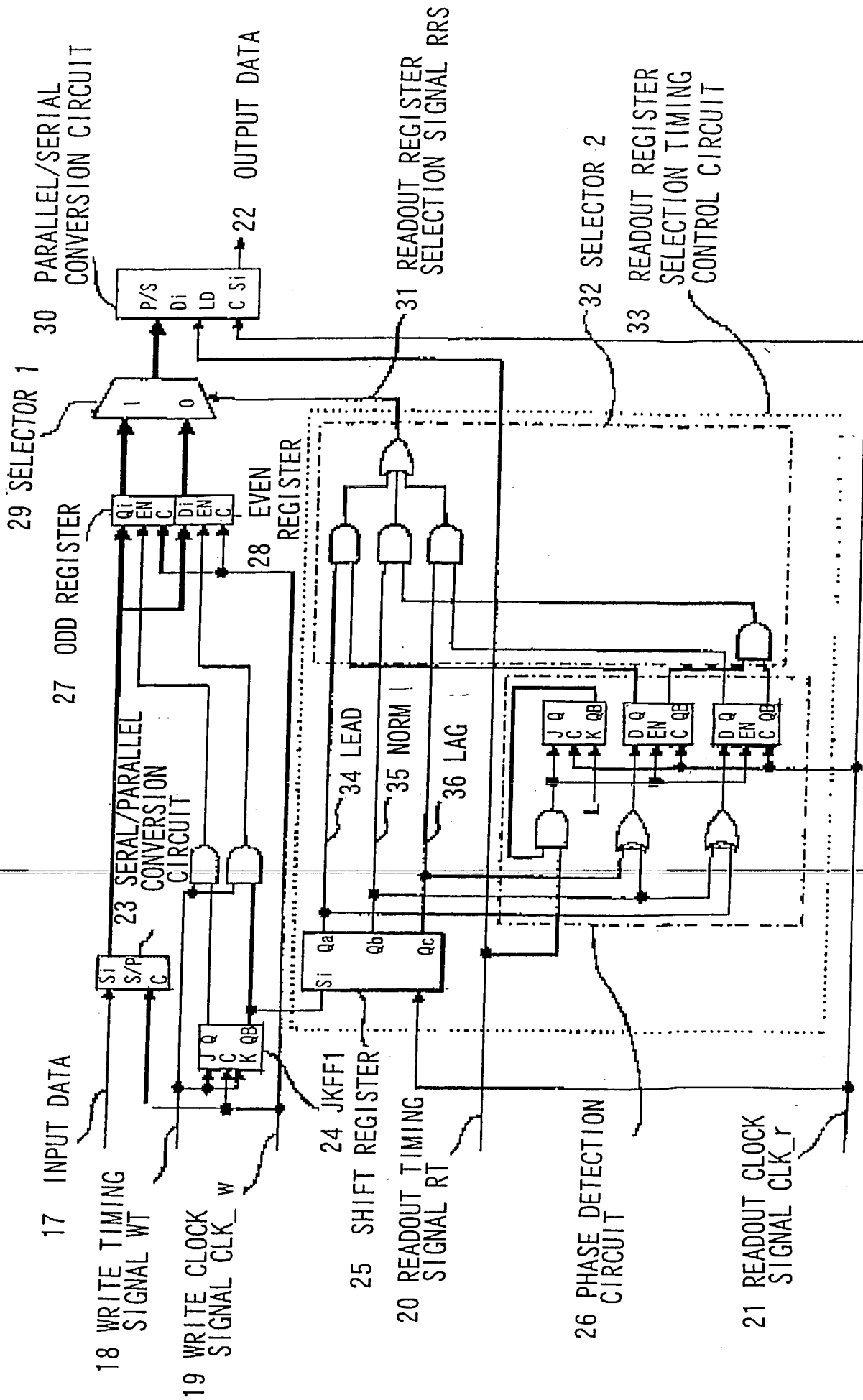


FIG . 8

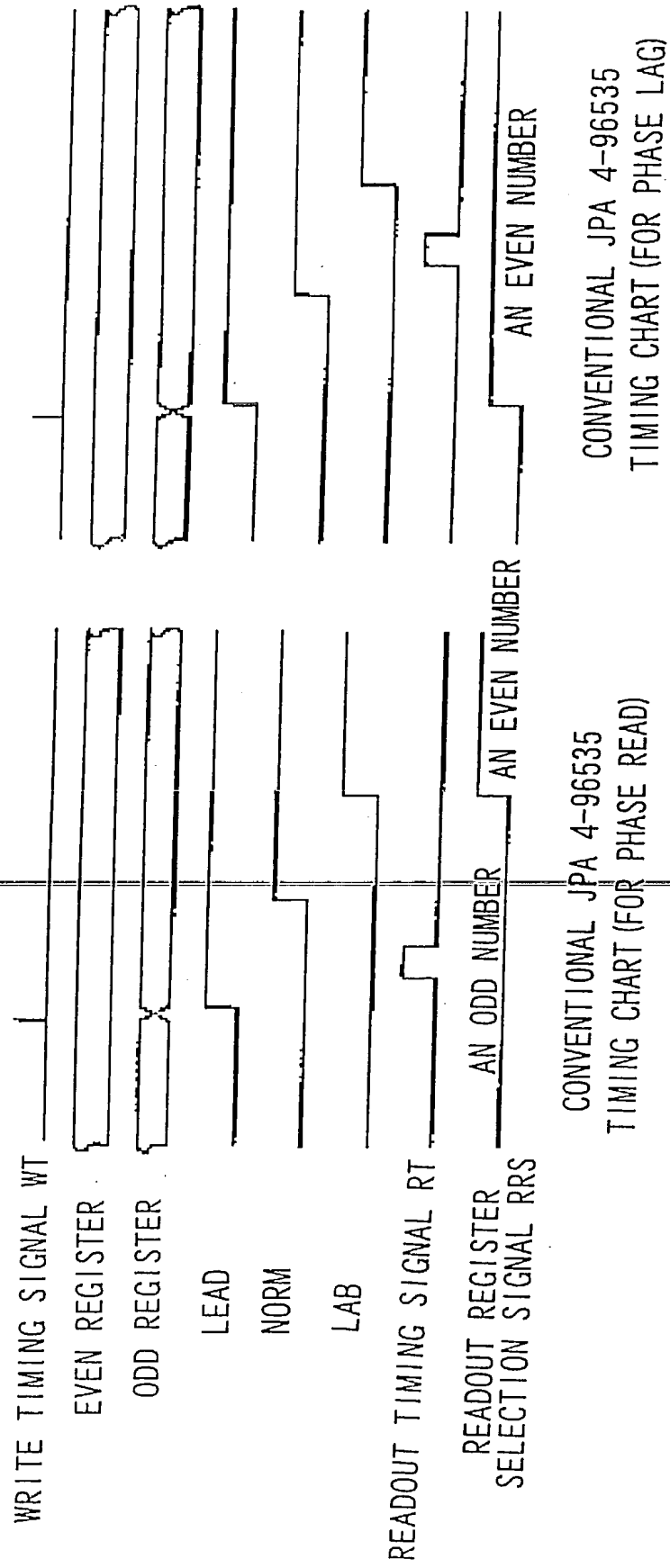


FIG. 9

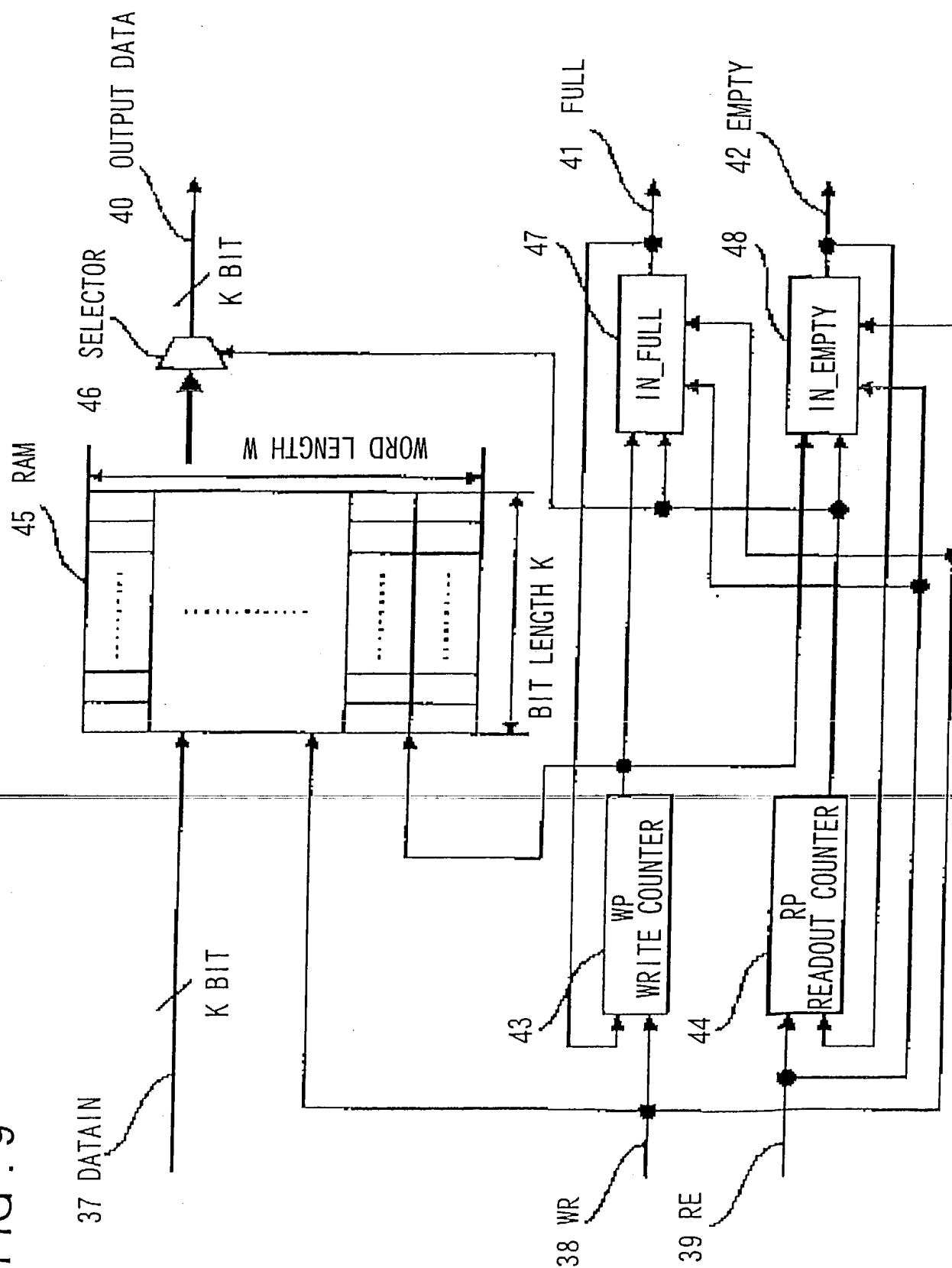
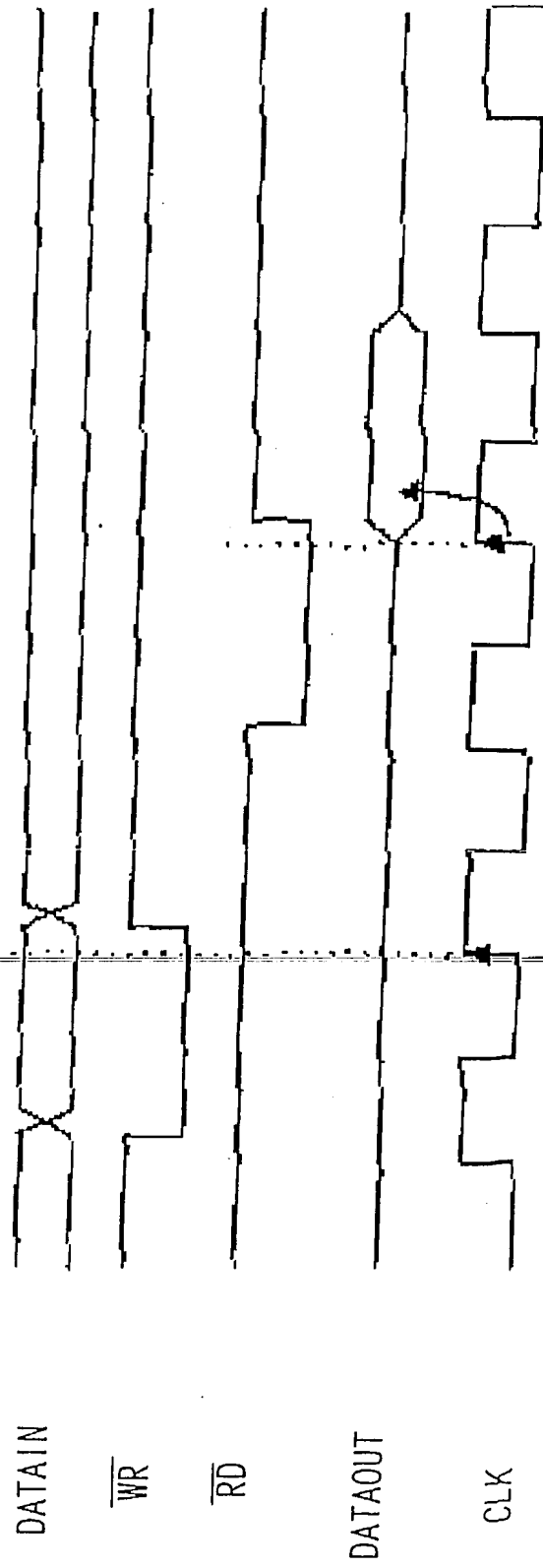


FIG . 10



【書類名】 明細書

【発明の名称】

クロック乗換回路

【特許請求の範囲】

【請求項 1】

第 1 のクロックと第 2 のクロックと前記第 1 のデータ入力を持つクロック乗換回路において、
第 1 のクロックに同期してデータを記憶する第 1 の記憶手段と、
前記第 1 のクロックと第 2 のクロックより特定位相を検出し検出結果を出力するタイミング制御手段と、
前記第 1 の記憶手段と第 2 の記憶手段と前記タイミング制御手段の特定位相検出結果を入力とし、特定位相検出結果により前記第 1 の記憶手段の出力を選択するか前記第 2 の記憶手段の出力を選択する選択手段と、
該選択手段の出力と前記第 2 のクロックを入力とする第 2 の記憶手段を備え、
該第 2 の記憶手段をデータ出力とする構成を特徴とするクロック乗換回路。

【請求項 2】

請求項 1 のタイミング制御手段において、
第 1 のクロックを第 2 のクロックで検出するクロック検出手段と、
第 2 のクロックで自走する自走カウント手段と、
前記クロック検出手段の出力と前記自走カウント手段出力の位相を比較する位相比較手段を備え、
前記自走カウント手段出力をタイミング制御出力とすることを特徴とするタイミング制御手段。

【発明の詳細な説明】

【発明の属する技術分野】

本発明は、クロック乗換回路に関し、特にジッタを含むクロック間の乗換回路に関する。

【従来の技術】

公報記載（サーチされた公報または過去に知り得た公報のうち本発明に最も近い技術を開示するもの）

（1）公報番号 平 4 - 9 6 5 3 5

説明ページ・行・図面

（2）公報番号 -

説明ページ・行・図面

学会誌・論文等（刊行物）記載 （この欄を選択する場合は必ずコピー送付のこと）

筆者 長谷川裕恭 著

刊行物の題名 VHDL によるハードウェア設計入門

発行年月日 1 9 9 5 年 3 月 3 0 日

説明ページ・行・図面 p p . 1 3 3 - 1 4 1

上記以外 理由

従来のクロック乗換回路として第7図に示す特開平4-96535のような回路や、刊行物「VHDLによるハードウェア設計入門」で紹介されている第9図のRAを使用したFIFOが知られている。第7図の動作波形を第8図に示し、第9図の動作波形を第10図に示す。

第7図の回路は、書込みタイミング信号WTをJKフリップフロップの動作制御入力とし、SP変換した入力データを奇レジスタと偶レジスタに分配して記憶させる。読出しレジスタ選択タイミング制御回路内部では、上記JKフリップフロップ出力を読出しクロックCLK_rでシフトし、LEADとNORMとLAGの3種類の信号を生成する。LEADは進み位相を示し、NORMは基準位相を示し、LAGは遅れ位相を示す。位相検出回路内では、電源投入時に書込みタイミング信号とWTと読出しタイミング信号RTの位相がLEAD、NORM、LAGのどの位相関係になっているか判断し、Dフリップフロップが判断した状態を保持し続ける。LEADとNORMとLAGの変化点は、奇レジスタと偶レジスタの出力安定区間であるため、読出しタイミング信号RTで安定して奇レジスタあるいは偶レジスタの内容を読み出すことができる。

第9図に示すFIFOは理合成への適用例であるが、アーキテクチャは一般的なFIFOの例である。第9図の例では、内部にRAMを持ち、書込みカウンタ書込みカウンタWPと読出しカウンタRPによりRAMのアドレスを生成し、書込みと読出しを行う。図9の例では、RAMのステータス信号としてFULLとEMPTYが出力されている。FULLとEMPTYにより、オーバーフローとアンダーフローを防止している。第9図では、クロックは1系統であるが書込みと読出しの2系統のクロックでも基本構成は同じである。

【発明が解決しようとする課題】

第1の問題点は、特開平4-96535で代表される回路では、外部から書込みと読出しの制御信号が入力されなければ乗換タイミングの制御ができなくなる点である。

その理由は、乗換前のデータを全てクロック乗換すると、クロック乗換が全範囲となり書込み制御信号と読出し制御信号の全区間がアクティブとなり、書込みと読出し位相の接近が判断できず、よって乗換タイミングの制御ができなくなるからである。

第2の問題点は、乗換クロックの周波数が論理ゲート回路の動作限界付近であると、第10図に示すようなメモリマクロ等で構成されるFIFOを使用できないことである。

その理由は、メモリマクロは論理ゲート回路と比較すると動作周波数が低いからである。また、メモリマクロの書込み読出しアドレス制御も多段のカウンタ回路が必要となり、動作速度の向上が難しくなる。

【発明の目的】

特性・性能向上

高速化

伝送効率向上

【課題を解決するための手段】

本発明は、論理ゲート回路で構成されるクロック乗換回路において、第1のクロックを第2の高速クロックで検出するクロック検出手段と、第2の高速クロックにより自走カウントするカウント手段と、上記自走カウント手段のカウント値と上記クロック検出手段の出力を比較する比較手段と、第1のクロックで入力データを記憶する第1の記憶手段と、第2の高速クロックで動作するレジスタの記憶手段と、第1の記憶手段の出力と第2の記憶手段の出力を選択し第2の記憶手段の入力に与える選択手段を備え、上記自走カウンタの出力を上記選択手段の制御信号とする構成であることを特徴とする。

【作用（効果をもたらすための手段の働き）】

本発明では、第1のクロックを第2の高速クロックで検出し、第2の高速クロックにより自走する自走カウンタの位相比較信号と比較する。位相比較信号はクロックジッタ幅以上の幅とすることでジッタを吸収し高速にクロック乗換をすることができる。

【発明の実施の形態】
【構成の説明】

次に、本発明の実施の形態について図面を参照して詳細に説明する。第1図は本発明の原理図であり、第2図は本発明の実施例である。第3図から第5図は第2図のタイムチャートである。

まず、第1図について説明する。入力INは、第1のクロックCLK__1で動作する第1のDフリップフロップFF1のD入力に接続される。

選択器の1系入力は前記第1のDフリップフロップFF1の出力に接続され、0系入力は第2のクロックCLK__2で動作する第2のDフリップフロップFF2に接続され、制御入力は第2のクロックで動作するリングカウンタ出力に接続される。

前記第2のDフリップフロップFF2のD入力は前記選択器の出力に接続される。

第2のクロックCLK__2で動作するクロック検出部は第1のクロックCLK__1に接続される。

位相比較器の第1の入力は前記クロック検出部の出力COMPに接続され、第2の入力は第2のクロックで動作する自走カウンタのタイミング出力TIMに接続され、前記第2のDフリップフロップFF2の出力をクロック乗換回路出力とする。

本発明の特徴は、自走するリングカウンタ出力とクロック検出部の位相比較と、比較方法及び比較結果による制御方法にある。

【動作の説明】

次に実施例を第2図から第5図に基づいて説明する。本発明の実施例として第2のクロックCLK__2の周波数は、第1のクロックCLK__1の6倍の周波数とする。

まず第2図について説明する。第1図で説明したクロック検出は、微分回路と位相比較信号生成回路から構成し、位相比較器は論理ゲート2個で構成し、自走カウンタをリングカウンタで構成した例である。

入力データINは、第1のクロックCLK__1に同期して入力され、第1のDフリップフロップFF1でリタイミングされる。第1のクロックCLK__1は第2のクロックCLK__2で微分され、微分出力信号 Δ CLK__1を生成する。タイミング信号TIMは自走するリングカウンタの出力で、第2のクロックCLK__2が6クロック毎に1クロック幅で選択器の入力を0系から1系に切り替える。

第3図では、位相補償範囲よりクロックが遅れた場合を説明する。例として位相補償範囲を現時刻+1クロックか、現時刻-1クロックとする。第3図の例では第2のクロックCLK__2の9番目のクロックまで位相比較信号COMPのHレベル後半とタイミング信号TIMが一致しており、この時刻までは正常にクロック乗換をしている。第2のクロックCLK__2の9番目のクロックまでは、位相比較信号COMPのHレベルの前半が空いているので、現時刻より1クロック進み位相までが位相補償範囲内である。タイミング信号TIMは、自走するリングカウンタから第2のクロックCLK__2で6クロック毎に1クロック幅でHレベルを出力する。

第2のクロックCLK__2が10番目の次に1クロック遅延すると、自走するリングカウンタ出力TIMが1クロック遅延する。位相比較信号COMPは、微分信号 Δ CLK__1により生成されるため、位相比較結果RESが不一致を出力する。不一致の結果は直ちに自走するリングカウンタにフィードバックされ、微分出力 Δ CLK__1に追従してタイミング信号TIMを補正する。

第4図では、進み位相について説明する。第2のクロックCLK__2の10番目の動作まで第3図と同じである。クロック番号11の次に1クロック進んだ12番目のクロックが投入された例である。クロック番号9までは、タイミング信号TIMは位相比較信号COMPの後半のHレベルと比較されていたが、12番目の進み位相のクロックにより位相比較信号COMPの前半のHレベルとの比較になる。位相比較信号COMPと比較する時刻は変化するが、位相の進みは吸収される。

第5図では、位相比較信号COMPを3クロック幅にして、第2のクロックCLK__2の補償範囲を現時刻±1クロックを位相補償範囲とした例である。位相の遅延は第3図と同じく10番目の次に発生しているが、位相の変動を吸収している。

【発明の他の実施の形態】

第6図に第2の実施例を示す。第2の実施例では、第1のDフリップフロップFF1と選択器と第2のDフリップフロップFF2が複数個で構成され、第1の実施例から微分回路を削除し、自走カウンタをリングカウンタからバイナリカウンタに変更した。本実施例では複数ビットの入力データを一度にクロック乗換を可能にする。位相比較回路の前段の微分回路がなくても、位相比較回路をシフトレジスタ等で構成することにより容易に位相比較信号COMPを生成することができる。自走カウンタについては、リングカウンタまたはジョンソンカウンタが動作速度的に有利であるが、バイナリカウンタ或いは他のカウンタまたはステートマシンで構成しても良い。リングカウンタやジョンソンカウンタについては、スタックを防ぐためにプービートラップを設けることは必須である。

【発明の効果】

第1の効果は、外部から書込み読出しの制御信号が入力されなくてもクロック乗換ができることである。

その理由は、乗換前のクロックを乗換後のクロックで検出するからである。

第2の効果は、読出しクロックにジッタを含んでいても、安定してクロック乗換できることである。

その理由は、乗換前のクロックを正数倍の乗換後のクロックで検出し、乗換クロックに含まれるジッタ周期以上のパルス幅を持つ位相比較信号COMPを生成する。位相比較信号COMPは、乗換後のクロックで自走し一定周期で1クロックパルス幅を発生するタイミング信号TIMと位相比較し、ジッタによるタイミングエラーを回避させているからである。

【図面の簡単な説明】

【図1】 本発明の原理を示す構成図である。

【図2】 本発明の第1の実施例である。

【図3】 図2のタイムチャートである。

【図4】 図2のタイムチャートである。

【図5】 図2のタイムチャートである。

【図6】 本発明の第2の実施例である。

【図7】 従来のクロック乗換例である。

【図8】 図7のタイムチャートある。

【図9】 従来のFIFO例である。

【図10】 図9のタイムチャートある。

【符号の説明】

1…入力データ、2…FF1の出力、3…選択器出力、4…タイミング信号、5…第1のクロック、6…第2のクロック、7…第1のDフリップフロップ、8…選択器、9…第2のDフリップフロップ、10…位相比較信号、11…位相比較結果信号、12…クロック検出部、13…位相比較器、14…自走カウンタ、15…タイミング制御回路、16…微分出力信号、17…入力データ、18…書込みタイミング信号、19…書込みクロック信号、20…読出しタイミング信号、21…読出しクロック信号、22…湯津力データ、23…直並列変換回路、24…JKフリップフロップ、25…シフトレジスタ、26…位相検出回路、27…奇レジスタ、28…偶レジスタ、29…セクタ1、30…平直列変換回路、31…読出しレジスタ選択信号、32…セクタ2、33…読出しレジスタ選択タイミング制御回路、34…進み位相出力信号、35…基準位相出力信号、36…遅れ位相出力信号、37…入力データ、38…書込み信号、39…読出し信号、40…出力データ、41…FULL信号、42…EMPTY信号、43…書込みカウンタ、44…読出しカウンタ、45…RAM、46…セクタ、47…FULL検出部、48…EMPTY検出部

【届出前自主サーチにおける検索式】

(クロック乗換+エラスティックストア)*(位相制御+ジッタ)

【本発明に関連すると思われる公報の公開、公告または特許番号】

特開平4-96535

【サーチのためのキーワード】

クロック乗換、エラスティックストア、位相制御、ジッタ

【書類名】要約書

【要約】

【課題】

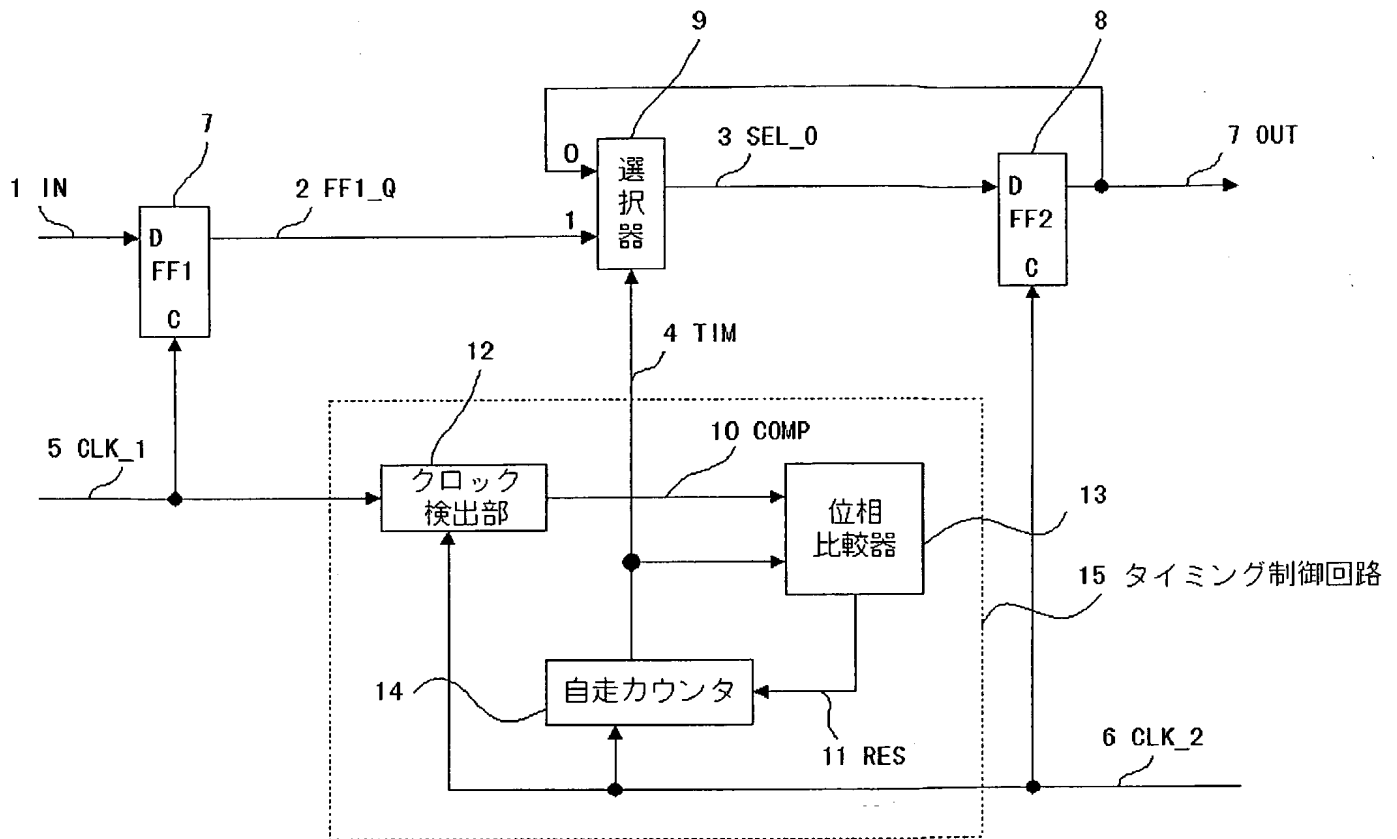
クロック乗換回路において、乗換前後のクロックにジッタを含み、かつ外部から書込みと読出しの制御入力信号がなくても、クロック乗換を行う。

【解決手段】

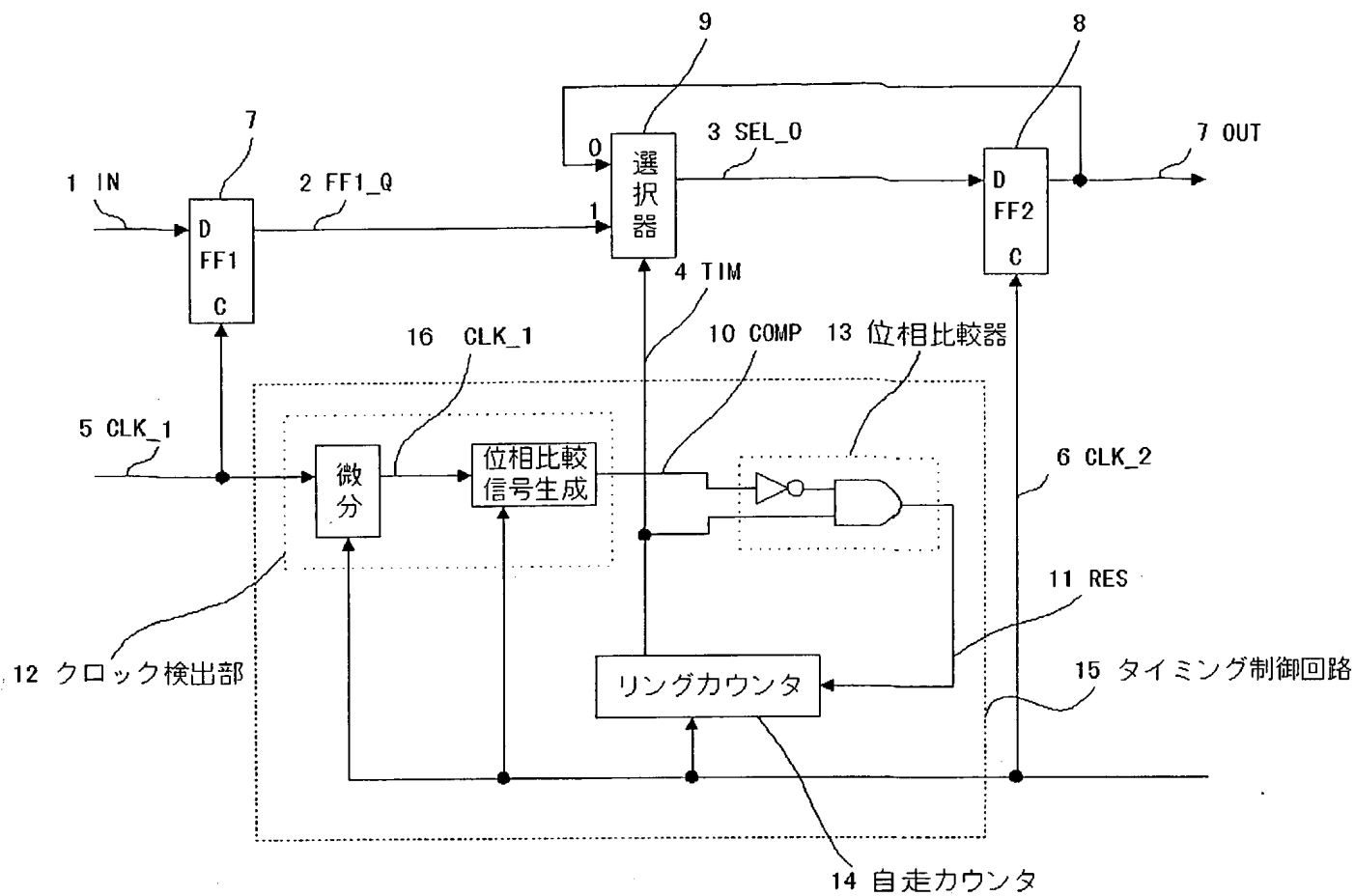
乗換前のクロックCLK₁を乗換前より高速な乗換後のクロックCLK₂で検出し、乗換後のクロックで自走するカウンタから発生する一定周期のタイミング信号TIMと前記クロック検出結果である位相比較信号COMPと比較させる。位相比較信号COMPは、乗換後のクロックのジッタ周期以上のパルス幅にすることにより安定してクロック乗換を行うことができる。

【選択図】

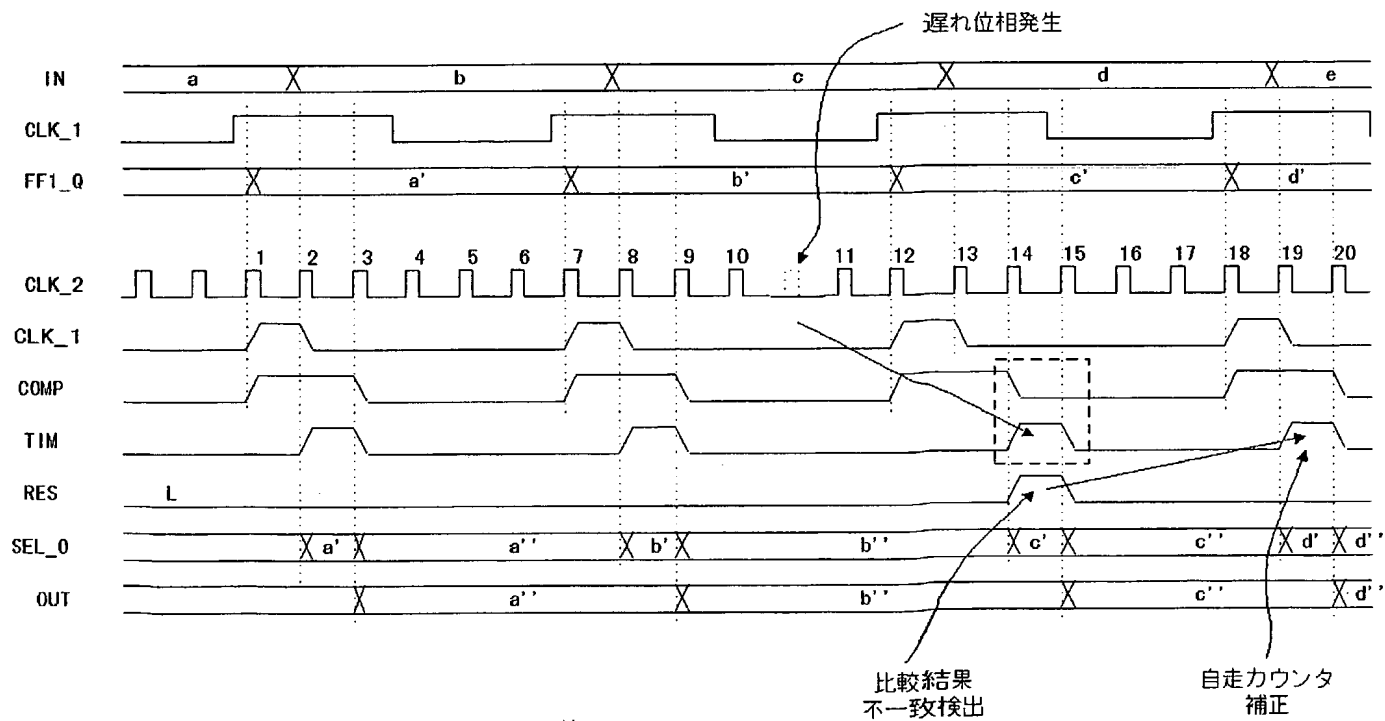
図 1



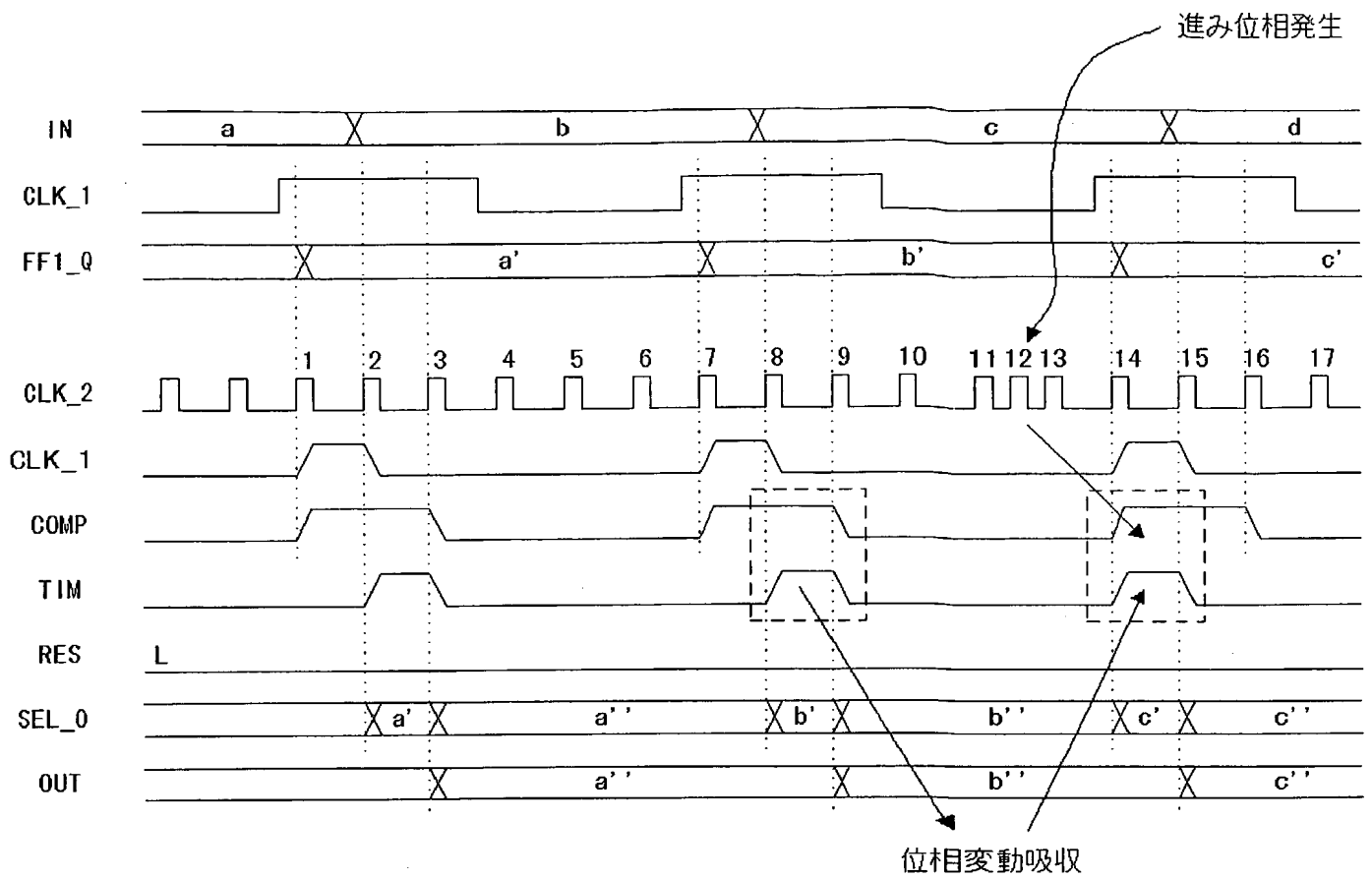
第 1 図



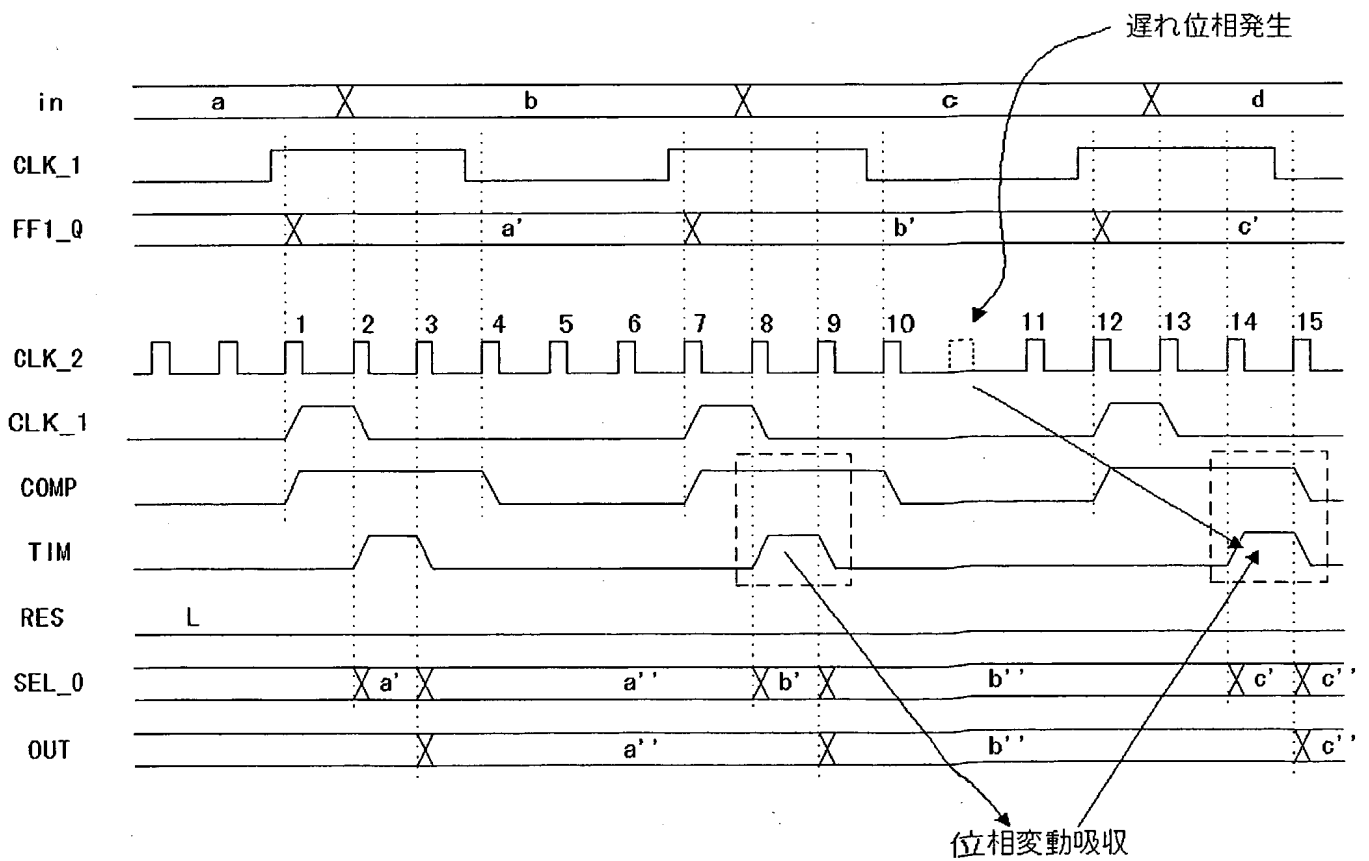
第2図



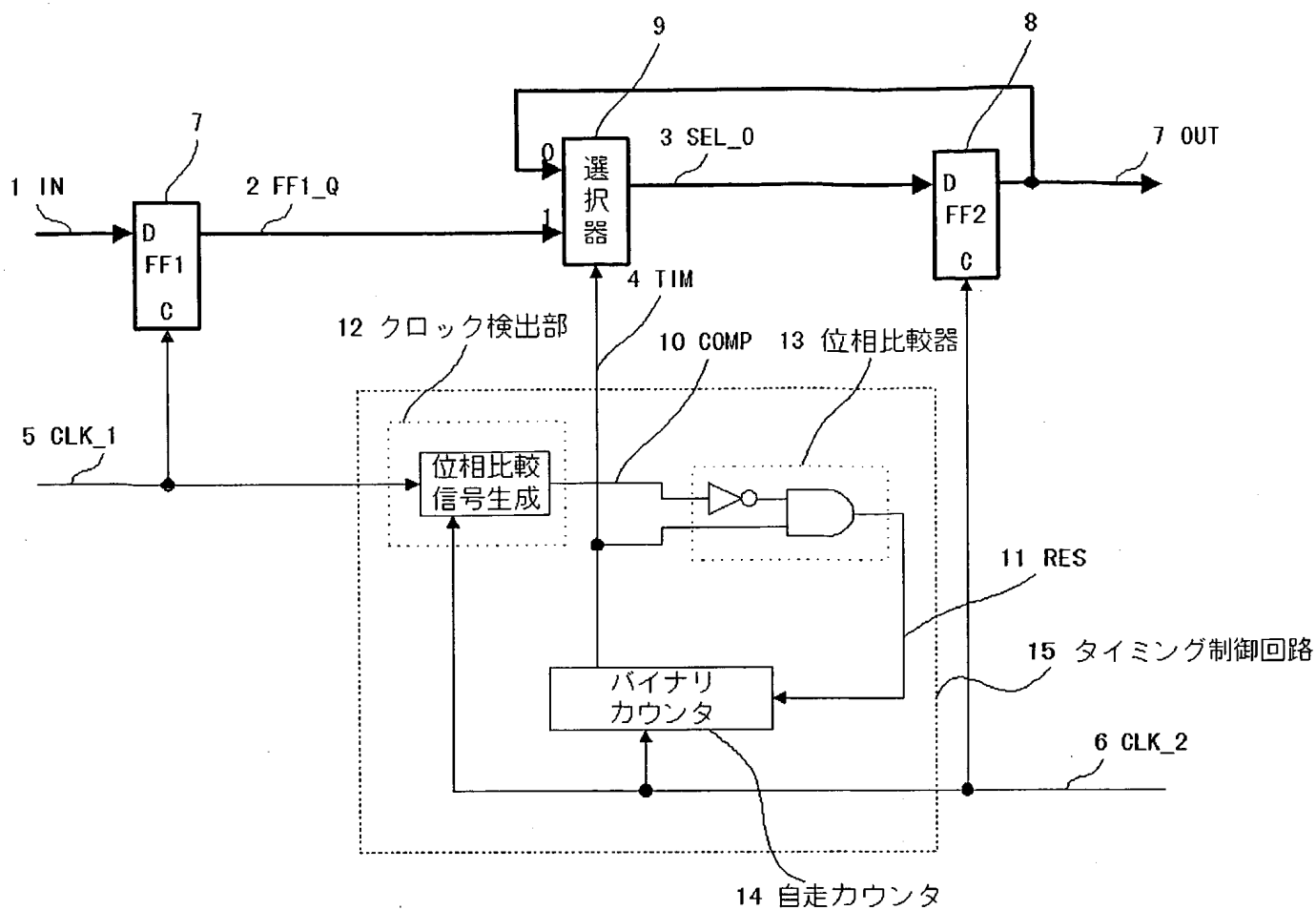
第3図



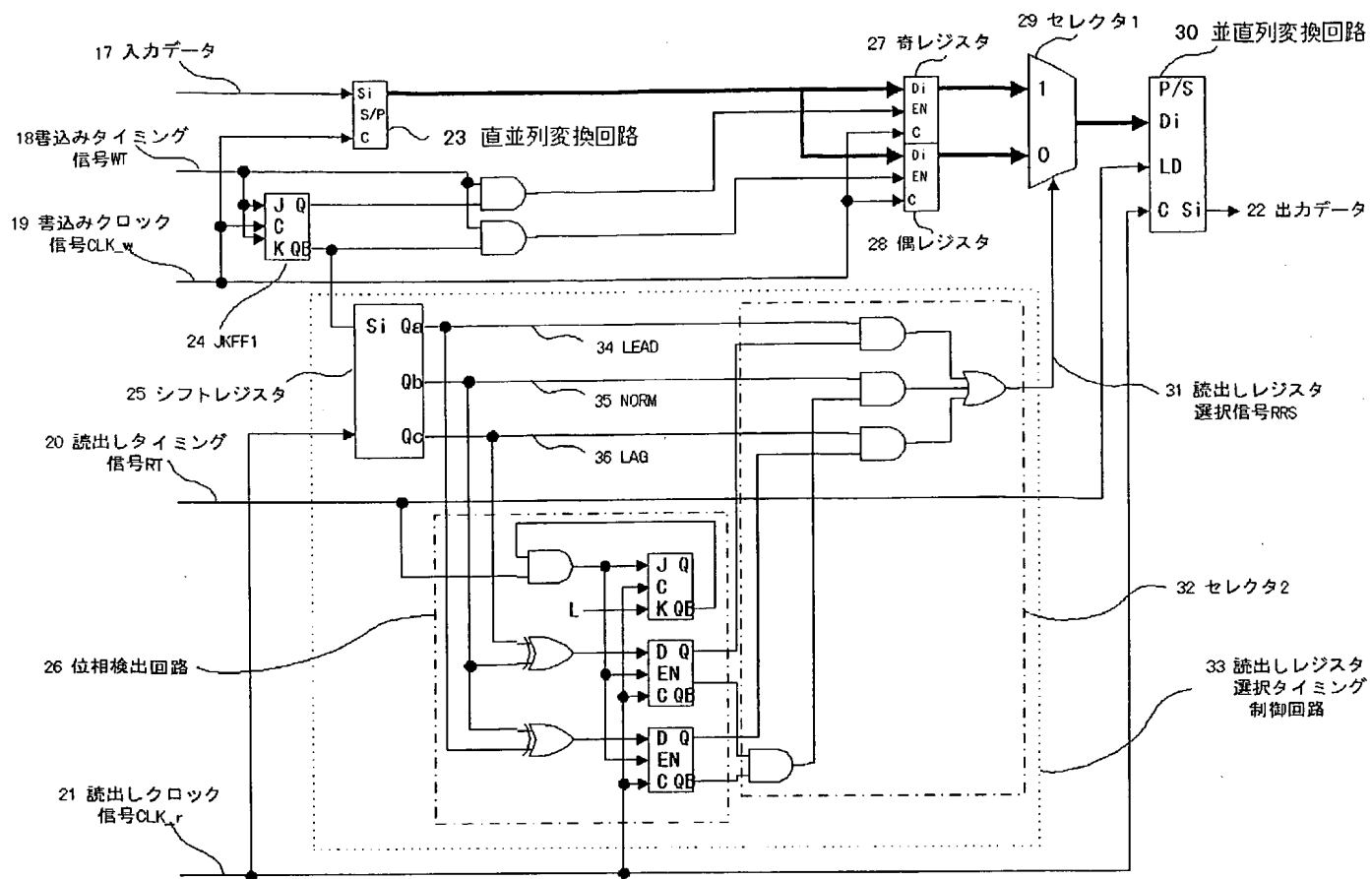
第4図



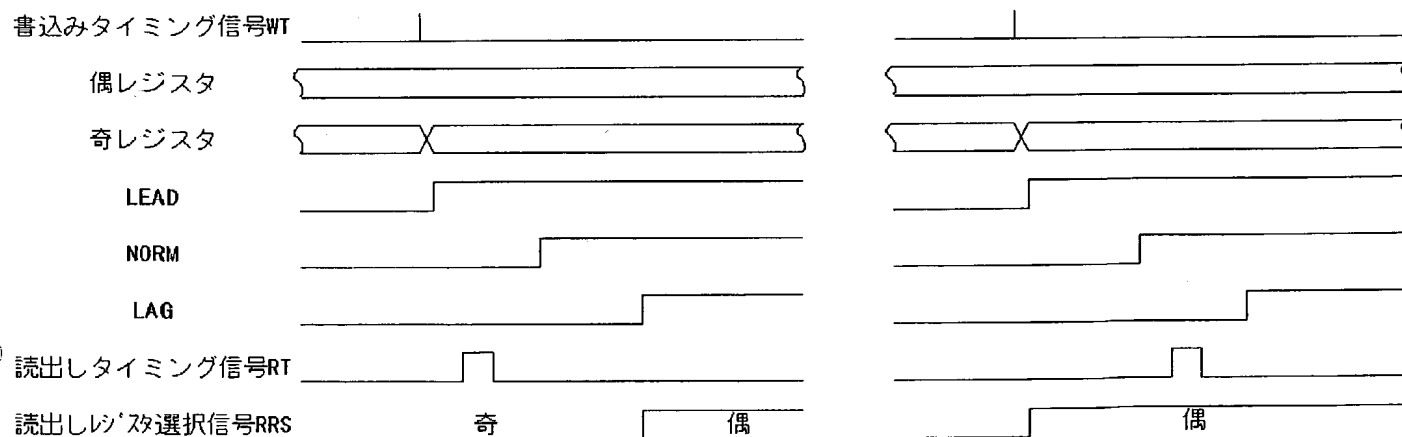
第5図



第6図



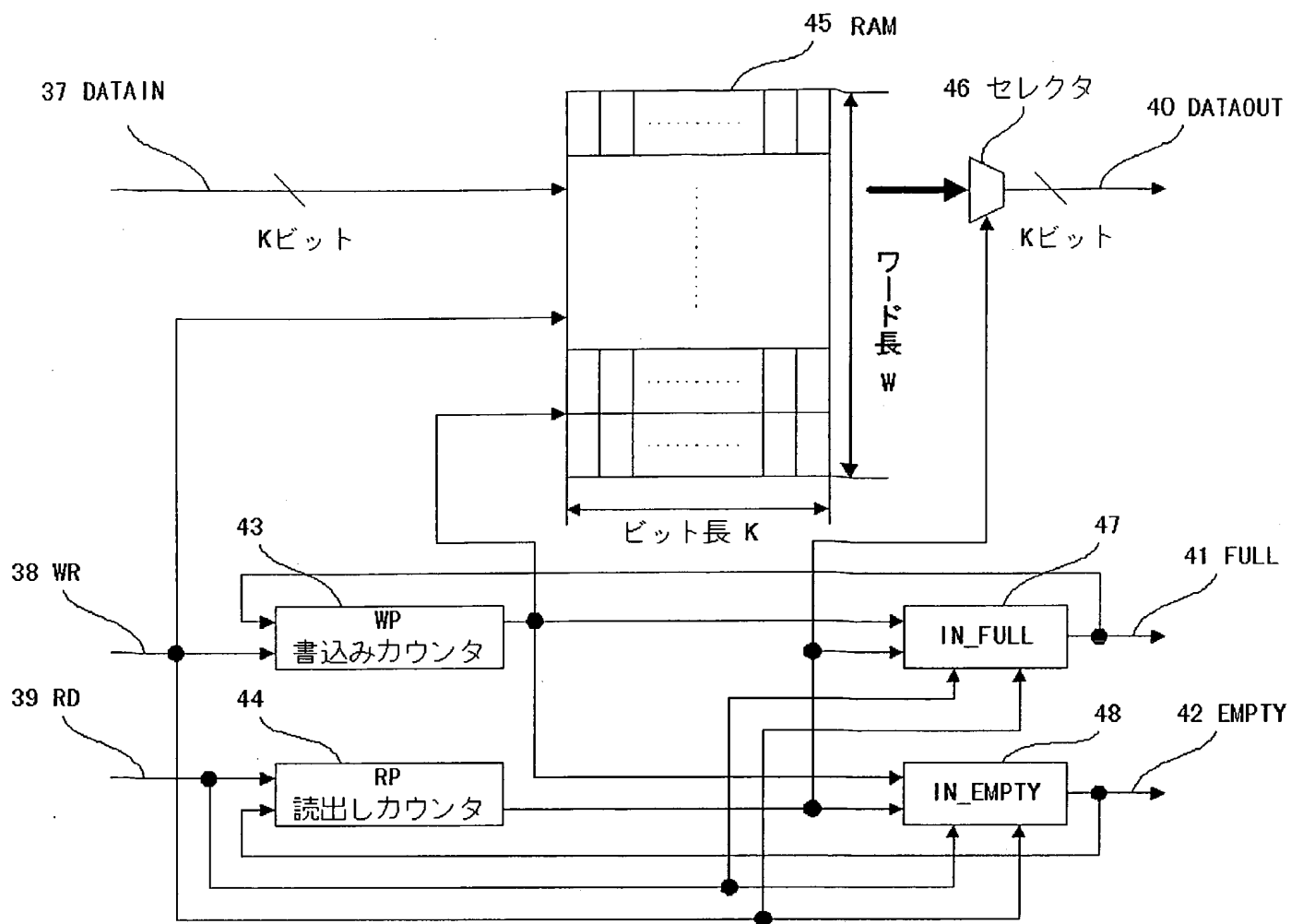
第7図



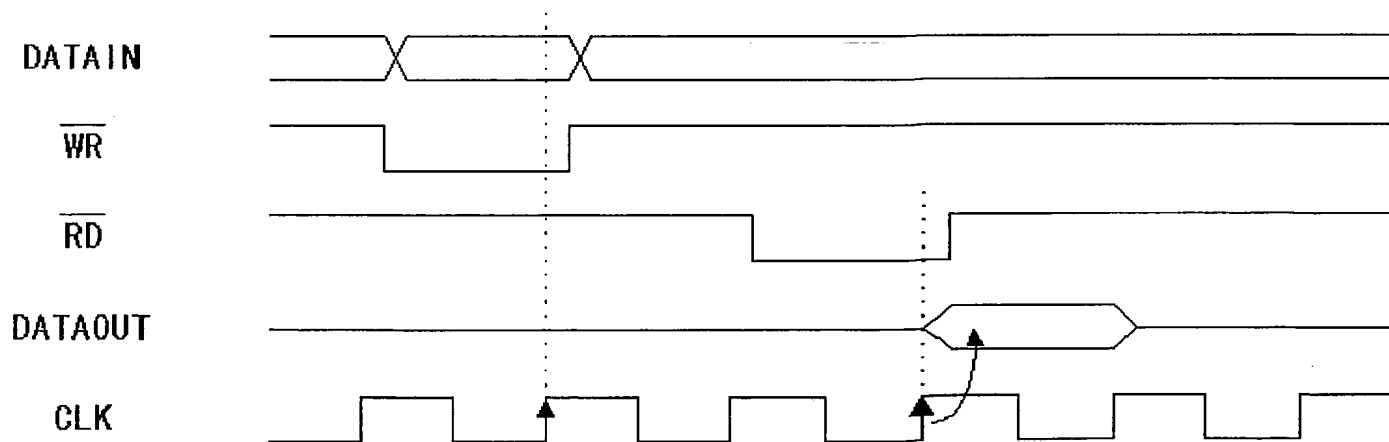
従来例 (特開平4-96535)
進み位相時タイムチャート

従来例 (特開平4-96535)
遅れ位相時タイムチャート

第8図



第9図



第10図